

(11)Publication number : 2000-285602
(43)Date of publication of application : 13.10.2000

(51)Int.Cl. G11B 20/10
G06F 3/06
G11B 20/18

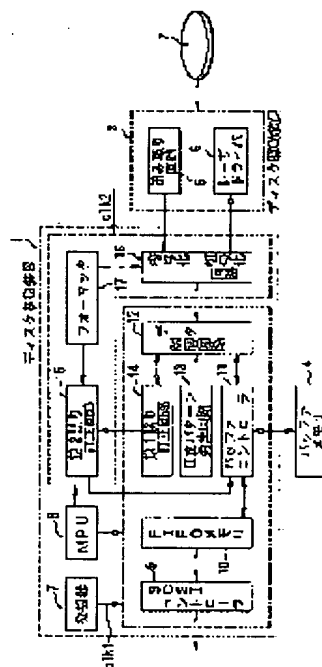
(21)Application number : **11-094086** (71)Applicant : **SEIKO EPSON CORP**
(22)Date of filing : **31.03.1999** (72)Inventor : **NAKAJIMA AKIRA**

(54) DISK CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a disk controller capable of facilitating the design of a data transfer means between elements having different data processing speed and capable of reducing the scale in addition to saving the electric power of a whole circuit including an error correction circuit, by reducing the range of increase/decrease of power consumption in the error correction circuit.

SOLUTION: The error correction circuit is constituted of a 1st error correction circuit 14 and a 2nd error correction circuit 15, then the 1st error correction circuit 14, a buffer controller 11, etc., are operated by a 1st clock of fixed frequency, and the 2nd error correction circuit 15, an encoding/decoding circuit 16, etc., are operated by a 2nd clock corresponded to the data transfer speed of a disk driving device 3, independent of the 1st clock, or by a clock proportional to a frequency of the 2nd clock. Also, the transfer of the data between the encoding/decoding circuit 16 and the 1st error correction circuit 14 or the buffer controller 11 is carried out by a prescribed handshake through a bus.



LEGAL STATUS

[Date of request for examination] 16.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 ディスクからデータの読み出しまたはディスクへのデータの書き込みを行うディスク駆動装置とバッファメモリとの間に設けられてデータの転送制御を行うディスク制御装置において、

前記ディスク駆動装置へ転送すべきデータを符号化するエンコーダ、および前記ディスク駆動装置から転送されたデータを復号化するデコーダからなる符号化／復号化手段と、

前記バッファメモリから入力したデータに誤り訂正符号を付加して前記符号化／復号化手段に出力し、または前記符号化／復号化手段で復号化されたデータの誤り訂正処理を行って前記バッファメモリに出力する誤り訂正手段とを少なくとも備え、

前記誤り訂正手段は、前記誤り訂正を行う第1誤り訂正手段と第2誤り訂正手段とで少なくとも構成し、前記符号化／復号化手段と前記第2誤り訂正手段を前記ディスク駆動装置のデータの読み書きに使用する第2クロックまたはその周波数に比例するクロックで動作させ、前記第1誤り訂正手段を前記第2クロックとは無関係な第1クロックで動作させるようにしたことを特徴とするディスク制御装置。

【請求項2】 前記第1誤り訂正手段はシンドローム計算を行う部分から構成し、前記第2誤り訂正手段はシンドローム計算以外の処理を行う部分から構成することを特徴とする請求項1に記載のディスク制御装置。

【請求項3】 前記バッファメモリとの間でデータの授受を行うバッファコントローラと、前記ディスクへのデータの書き込み時に使用する所定パターンのデータを発生する固定パターン発生回路とをさらに備え、

前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つと、前記符号化／復号化手段との間のデータの転送はバスを介して所定のハンドシェイクにより行い、前記ハンドシェイク用の信号は前記第1クロックと前記第2クロックに同期して生成するようにしたことを特徴とする請求項1または請求項2に記載のディスク制御装置。

【請求項4】 前記所定のハンドシェイクによるデータの転送は、

前記ディスクへのデータの書き込み時には、前記エンコーダは、データの取り込み要求を出力すると同時に、前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つからバス上に出力されている現在のデータを取り込み、そのデータを出力している前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つは、前記エンコーダからの次のデータの取り込み要求の出力に先立って次のデータをバス上に出力するようにし、

前記ディスクからのデータの読み出し時には、前記デコ

ーダは、データの転送要求を出力すると同時にバス上に転送すべきデータを出力し、前記第1誤り訂正手段または前記バッファコントローラは、前記デコーダから次のデータの転送要求の出力がある以前に前記バス上に出力されているデータを取り込むようにしたことを特徴とする請求項3に記載のディスク制御装置。

【請求項5】 ディスクからデータの読み出しまたはディスクへのデータの書き込みを行うディスク駆動装置とバッファメモリとの間に設けられてデータの転送制御を行うディスク制御装置において、

前記ディスク駆動装置へ転送すべきデータを符号化するエンコーダ、および前記ディスク駆動装置から転送されたデータを復号化するデコーダからなる符号化／復号化手段と、

前記バッファメモリから入力したデータに誤り訂正符号を付加して前記符号化／復号化手段に出力し、または前記符号化／復号化手段で復号化されたデータの誤り訂正処理を行って前記バッファメモリに出力する誤り訂正手段とを少なくとも備え、

前記符号化／復号化手段を前記ディスク駆動装置のデータの読み書きに使用する第2クロックで動作させ、前記誤り訂正手段を前記第2クロックとは無関係な第1クロックで動作させるようにし、

かつ、前記符号化／復号化手段と前記誤り訂正手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行い、前記ハンドシェイク用の信号は前記第1クロックと前記第2クロックに同期して生成するようにしたことを特徴とするディスク制御装置。

【請求項6】 前記所定のハンドシェイクは、前記エンコーダが前記誤り訂正手段からデータを取り込む場合には、前記エンコーダは、データの取り込み要求を出力すると同時に前記誤り訂正手段からバス上に出力されている現在のデータを取り込み、前記誤り訂正手段は、前記エンコーダから次のデータの取り込み要求の出力に先立って次のデータをバス上に出力するようにし、前記デコーダが前記誤り訂正手段に対してデータを転送する場合には、前記デコーダは、データ転送要求を出力すると同時にバス上に転送すべきデータを出力し、前記誤り訂正手段は、前記デコーダから次の前記データ転送要求の出力がある以前に、前記バス上に出力されているデータを取り込むようにしたことを特徴とする請求項5に記載のディスク制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光ディスクや光磁気ディスクのような記録媒体からのデータの読み出しまたはその記録媒体に対するデータの書き込みができるディスク装置に含まれるディスク制御装置に関する。

【0002】

【従来の技術】従来、この種のディスク制御装置として

は、特開平9-147483号公報に記載の発明が知られている。

【0003】この従来のディスク制御装置は、光ディスクを回転させながら光ディスクに対してデータの読み書きを行う光ディスク駆動装置とバッファメモリとの間でデータの転送制御を行うものである。

【0004】また、この従来のディスク制御装置は、フォーマット、データ制御回路、誤り訂正回路、メモリ、バッファコントローラなどから構成されている。そして、フォーマット、データ制御回路、および誤り訂正回路は、光ディスク駆動装置のデータの読み書きの速度に応じたクロックCK1またはその周波数に比例するクロックで動作し、メモリ、バッファコントローラなどは上記のクロックCK1とは無関係なクロックCK2に基づいて動作するようになっている。

【0005】さらに、この従来のディスク制御装置では、互いに無関係なクロックCK1とクロックCK2とによりデータを処理するので、データの処理速度の異なる要素間でデータの転送が行えるような調整手段が設けられている。

【0006】

【発明が解決しようとする課題】ところで、従来のディスク制御装置では、誤り訂正回路が光ディスク駆動装置のデータの読み書きの速度に応じたクロックCK1で動作し、このクロックCK1の周波数はその速度に応じて変化するので、その周波数の変化によって誤り訂正回路の消費電力が大きく増減する。また、誤り訂正回路は回路規模が大きいため、この誤り訂正回路の消費電力も大きく増減する。一方、集積回路においては回路からの発熱の大小により、使用可能なパッケージが制限され、この制限は最大発熱時、つまり、消費電力が最大となる時の温度によって決められるため、パッケージの選択の自由度が小さくなるという問題があった。

【0007】また、集積回路を組み込んだ装置においては、これに接続する電源装置の容量は消費電流が最大となる場合を想定して決められる。

【0008】従って、消費電力の最大値、すなわち消費電流の最大値に合わせて電源装置を決めなければならず、効率が悪くなるという不都合がある。

【0009】一方、上述のように、従来のディスク制御装置では、互いに無関係なクロックCK1とクロックCK2とによりデータを処理するので、データの処理速度の異なる要素間でデータの転送を行う手段が設けられている。しかし、この従来の手段は、その構成が複雑な上に回路規模が大きくなるという不都合がある。このため、その手段としては、設計が容易で回路規模も小さなものが求められる。

【0010】そこで、本発明の第1の目的は、上記の点に鑑み、誤り訂正回路における消費電力の増減の幅を小さくして消費電力の低減化が図れ、もって、誤り訂正回

路を含めた回路全体の省電力化が図れるディスク制御装置を提供することにある。

【0011】本発明の第2の目的は、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模の小さなディスク制御装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決し、本発明の第1の目的を達成するために、請求項1、請求項2に記載の発明は以下のように構成した。

【0013】すなわち、請求項1に記載の発明は、ディスクからデータの読み出しまたはディスクへのデータの書き込みを行うディスク駆動装置とバッファメモリとの間に設けられてデータの転送制御を行うディスク制御装置において、前記ディスク駆動装置へ転送すべきデータを符号化するエンコード、および前記ディスク駆動装置から転送されたデータを復号化するデコードからなる符号化／復号化手段と、前記バッファメモリから入力したデータに誤り訂正符号を付加して前記符号化／復号化手段に出力し、または前記符号化／復号化手段で復号化されたデータの誤り訂正処理を行って前記バッファメモリに出力する誤り訂正手段とを少なくとも備え、前記誤り訂正手段は、前記誤り訂正を行う第1誤り訂正手段と第2誤り訂正手段とで少なくとも構成し、前記符号化／復号化手段と前記第2誤り訂正手段を前記ディスク駆動装置のデータの読み書きに使用する第2クロックまたはその周波数に比例するクロックで動作させ、前記第1誤り訂正手段を前記第2クロックとは無関係な第1クロックで動作させるようにしたことを特徴とするものである。

【0014】このように請求項1に係る発明では、誤り訂正手段は、誤り訂正を行う第1誤り訂正手段と第2誤り訂正手段とで少なくとも構成し、符号化／復号化手段と第2誤り訂正手段をディスク駆動装置のデータの読み書きに使用する第2クロックまたはその周波数に比例するクロックで動作させ、第1誤り訂正手段を第2クロックとは無関係な第1クロックで動作させるようにした。このため、誤り訂正回路における消費電力の増減の幅を小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0015】請求項2に記載の発明は、請求項1に記載のディスク制御装置において、前記第1誤り訂正手段はシンドローム計算を行う部分から構成し、前記第2誤り訂正手段はシンドローム計算以外の処理を行う部分から構成することを特徴とするものである。

【0016】このように請求項2に係る発明では、第1誤り訂正回路をシンドローム計算を行う部分とし、この部分は回路規模が大きいので、誤り訂正回路における消費電力の増減の幅を大幅に小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0017】また、本発明の第1および第2の目的を達成するために、請求項3、請求項4に記載の発明は以下のように構成した。

【0018】すなわち、請求項3に記載の発明は、請求項1また請求項2に記載のディスク制御装置において、前記バッファメモリとの間でデータの授受を行うバッファコントローラと、前記ディスクへのデータの書き込み時に使用する所定パターンのデータを発生する固定パターン発生回路とをさらに備え、前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つと、前記符号化／復号化手段との間のデータの転送はバスを介して所定のハンドシェイクにより行い、前記ハンドシェイク用の信号は前記第1クロックと前記第2クロックに同期して生成するようにしたことを特徴とするものである。

【0019】請求項4に記載の発明は、請求項3に記載のディスク制御装置において、前記所定のハンドシェイクによるデータの転送は、前記ディスクへのデータの書き込み時には、前記エンコーダは、データの取り込み要求を出力すると同時に、前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つからバス上に出力されている現在のデータを取り込み、そのデータを出力している前記第1誤り訂正手段、前記バッファコントローラおよび前記固定パターン発生回路のうちの少なくとも1つは、前記エンコーダからの次のデータの取り込み要求の出力に先立って次のデータをバス上に出力するようにし、前記ディスクからのデータの読み出し時には、前記デコーダは、データの転送要求を出力すると同時にバス上に転送すべきデータを出力し、前記第1誤り訂正手段または前記バッファコントローラは、前記デコーダから次のデータの転送要求の出力がある以前に前記バス上に出力されているデータを取り込むようにしたことを特徴とするものである。

【0020】このように、請求項3および請求項4に係る各発明では、第1誤り訂正手段、バッファコントローラおよび固定パターン発生回路のうちの少なくとも1つと、符号化／復号化手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行うようにした。このため、回路全体の消費電力の低減化が図れる上に、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできる。

【0021】さらに、本発明の第2の目的を達成するために、請求項5、請求項6に記載の発明は以下のように構成した。

【0022】すなわち、請求項5に記載の発明は、ディスクからデータの読み出しまたはディスクへのデータの書き込みを行うディスク駆動装置とバッファメモリとの間に設けられてデータの転送制御を行うディスク制御装

置において、前記ディスク駆動装置へ転送すべきデータを符号化するエンコーダ、および前記ディスク駆動装置から転送されたデータを復号化するデコーダからなる符号化／復号化手段と、前記バッファメモリから入力したデータに誤り訂正符号を付加して前記符号化／復号化手段に出力し、または前記符号化／復号化手段で復号化されたデータの誤り訂正処理を行って前記バッファメモリに出力する誤り訂正手段とを少なくとも備え、前記符号化／復号化手段を前記ディスク駆動装置のデータの読み書きに使用する第2クロックで動作させ、前記誤り訂正手段を前記第2クロックとは無関係な第1クロックで動作させるようにし、かつ、前記符号化／復号化手段と前記誤り訂正手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行い、前記ハンドシェイク用の信号は前記第1クロックと前記第2クロックに同期して生成するようにしたことを特徴とするものである。

【0023】請求項6に記載の発明は、請求項5に記載のディスク制御装置において、前記所定のハンドシェイクは、前記エンコーダが前記誤り訂正手段からデータを取り込む場合には、前記エンコーダは、データの取り込み要求を出力すると同時に前記誤り訂正手段からバス上に出力されている現在のデータを取り込み、前記誤り訂正手段は、前記エンコーダから次のデータの取り込み要求の出力に先立って次のデータをバス上に出力するようにし、前記デコーダが前記誤り訂正手段に対してデータを転送する場合には、前記デコーダは、データ転送要求を出力すると同時にバス上に転送すべきデータを出力し、前記誤り訂正手段は、前記デコーダから次の前記データ転送要求の出力がある以前に、前記バス上に出力されているデータを取り込むようにしたことを特徴とするものである。

【0024】このように、請求項5および請求項6に係る各発明では、符号化／復号化手段と誤り訂正手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行うようにした。このため、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできる。

【0025】

【発明の実施の形態】以下、本発明の実施形態について図面に参照して説明する。

【0026】図1は、本発明のディスク制御装置が適用されるディスク装置の実施形態の構成を示す全体のブロック図である。

【0027】この実施形態にかかるディスク制御装置1は、図1に示すように、光磁気ディスクのようなディスク2に対してデータの読み書きを行うディスク駆動装置3と、ディスク2に読み書きするデータを格納するバッファメモリ4との間に設けられ、これらの間のデータの転送制御を行うように構成されている。

【0028】ディスク駆動装置3は、ディスク2を回転

する図示しないスピンドルモータと、ディスク2から読み出したデータを電気信号に変換して処理する読み取り回路5と、ディスク2にデータを書き込む際にレーザを駆動するレーザドライバ6とを少なくとも備えている。

【0029】ディスク制御装置1は、図1に示すように、発振器7と、マイクロ・プロセッシング・ユニット(MPU)8と、SCSIコントローラ9と、先入れ先だしメモリ(FIFOメモリ)10と、バッファコントローラ11と、データ制御回路12と、固定パターン発生回路13と、第1誤り訂正回路14と、第2誤り訂正回路15と、符号化・復号化回路16と、フォーマット17とを少なくとも備えている。

【0030】発振器7は水晶発振器などからなり、所定の発振周波数のクロックを発生、またその発生したクロックを分周し、その発生また分周した固定周波数のクロックを出力する。この固定周波数のクロックは、システムクロック(第1クロック)clk1として、SCSIコントローラ9、FIFOメモリ10、バッファコントローラ11、データ制御回路12、固定パターン発生回路13、および第1誤り訂正回路14に供給されている。従って、SCSIコントローラ9、FIFOメモリ10、バッファコントローラ11、データ制御回路12、固定パターン発生回路13、および第1誤り訂正回路14は、システムクロックCLK1に同期して動作することになる。

【0031】ディスク駆動装置3の読み取り回路5は、ディスク2からデータの読み取り時には、読み取りデータ中から読み出し用クロックを生成する。また、ディスク駆動装置3のレーザドライバ6がディスク2へのデータの書き込み時には、発振器7からのクロックに基づいて図示しない回路により書き込み用クロックが生成される。このような読み出し用クロックと書き込み用クロックとは、リファレンスクロック(第2クロック)clk2として、符号化・復号化回路16に供給され、そのリファレンスクロックclk2の周波数に比例するクロックが第2誤り訂正回路15およびフォーマット17に供給される。このため、それらはリファレンスクロックclk2またはその周波数に比例するクロックに同期して動作することになる。

【0032】MPU8は、このディスク制御装置1の各構成要素を所定の手順で制御する。SCSIコントローラ9は、図示しないホストコンピュータとバッファコントローラ11との間のデータの流れを制御する。FIFOメモリ10は、読み書きのデータを一時的に格納する。バッファコントローラ11は、バッファメモリ4と、FIFOメモリ10やデータ制御回路12との間でデータの授受を行う際に、その制御を行う。

【0033】データ制御回路12は、ディスク2にデータを書き込みの際には、バッファコントローラ11からの書き込みデータを第1誤り訂正回路14に導いて誤り

訂正符号を作成させるとともに、固定パターン発生回路13に書き込み用の固定パターンを発生させ、固定パターン、書き込みデータ、誤り訂正符号を符号化・復号化回路16に出力する。また、データ制御回路12は、ディスク2からデータを読み出しの際には、符号化・復号化回路16から読み出しデータを受け取り、バッファコントローラ11と第1誤り訂正回路14に転送する。

【0034】第1誤り訂正回路14と誤り訂正回路15とは、図2に示すように、全体で1つの誤り訂正回路を構成する。第1誤り訂正回路14は、「シンドローム演算」を行う部分からなり、第2誤り訂正回路15はその「シンドローム演算」の以外の処理を行う部分からなる。従って、第2誤り訂正回路15は、「誤り位置多項式の計算」、「誤り位置の計算」、「誤り値の計算」、および「誤り訂正」の部分からなる。

【0035】符号化・復号化回路16は、図3に示すように、ディスク駆動装置3のレーザドライバ6に転送すべきデータを符号化するエンコーダ31と、ディスク駆動装置3の読み取り回路5から転送されたデータを復号化するデコーダ32とからなる。エンコーダ31は、図3に示すように、シフトレジスタ33と変調回路34とから構成される。また、デコーダ32は、復調回路35とバッファ36とから構成される。

【0036】フォーマット17は、MPU8からの指令に基づいて、データの書き込みや読み出しのコマンドなどを生成し、この生成したコマンドにより符号化・復号化回路16などを制御する。

【0037】次に、このディスク制御装置1におけるデータ制御回路12の詳細な構成について、図3を参照して説明する。

【0038】データ制御回路12は、図3に示すように、書き込み用データを転送するための書き込み用バス21と、読み出し用データを転送するための読み出し用バス22と、第1誤り訂正回路14が取り込むデータをバス21上またはバス22上のいずれかを選択する切換えスイッチ23とを備えている。

【0039】このデータ制御回路12の書き込み用バス21上には、バッファコントローラ11、固定パターン発生回路13、および第1誤り訂正回路14からのデータが出力され、この出力されたバス21上のデータをエンコーダ31のシフトレジスタ33が取り込むようになっている。また、このデータ制御回路12の読み出し用バス22上には、デコーダ32のバッファ36のデータが出力され、この出力されたバス22上のデータをバッファコントローラ11と第1誤り訂正回路14が取り込むようになっている。

【0040】データ制御回路12やバッファコントローラ11はシステムクロックclk1で動作し、エンコーダ31とデコーダ32はリファレンスクロックclk2で動作するので、バッファコントローラ11等と、エン

コード31またはデコード32との間のデータの転送（授受）は、後述のようにハンドシェイクで行う。従って、データ制御回路12と、エンコーダ31やデコード32との間で、またはデータ制御回路12と、バッファコントローラ11、固定パターン発生回路13、または第1誤り訂正回路14との間で、ハンドシェイクのための信号の授受ができるようになっている。

【0041】次に、ディスク2に書き込まれるデータのフォーマットの例について、図4を参照して説明する。

【0042】図4に示す「VFO」はPLL同期用のデータ、「Sync」は同期信号、「data」はユーザの書き込み用データ、「RS」はリシンクと称して同期を取り直すためのパターン、「data, ECC, CRC」はユーザの書き込み用データの余りと誤り訂正用のデータ、「PA」はスピンドルの変動吸収のためのデータである。

【0043】次に、ハンドシェイクによりデータの授受を行う場合の各部の動作について、図3～図8を参照して説明する。

【0044】まず、ディスク2にデータを書き込む場合の各部の動作について、図3～図8を参照して説明する。

【0045】この場合には、図5または図6に示すようなハンドシェイク用の各種の信号が生成され、その信号に基づいてデータの転送が行われるので、データ制御回路12とデコード31が生成するハンドシェイク用の信号について説明する。ここで、図5は、システムクロックclk1の周波数がリファレンスクロックclk2の周波数よりも低い場合であり、図6は、システムクロックclk1の周波数がリファレンスクロックclk2の周波数よりも高い場合である。

【0046】図3に示すエンコーダ31は、リファレンスクロックclk2に同期するデータ要求信号drqを生成し（図5と図6の（B）（C）参照）、データ制御回路12に出力する。一方、図3に示すデータ制御回路12は、システムクロックclk1に同期する信号readyを生成し（図5と図6の（A）（D）参照）、エンコーダ31に出力する。さらに、データ制御回路12は、その信号readyに基づいて中間信号dreqを生成し（図5と図6（E）参照）、この生成した中間信号dreqから信号dreq-allを生成し（図5と図6の（F）参照）、この信号dreq-allを固定パターン発生回路13、バッファコントローラ11、または第1誤り訂正回路14に出力する。

【0047】次に、このようなハンドシェイク用の各信号に基づき、固定パターン発生回路13、バッファコントローラ11、また第1誤り訂正回路14が、エンコーダ31からの要求によりエンコーダ31にデータを転送する場合の動作について説明する。

【0048】まず、固定パターン発生回路13が、図7

（A）に示すように、図4のデータのうちから「a」、「b」、「d」、「f」に該当するデータをエンコーダ31に転送する場合について説明する。

【0049】この場合には、エンコーダ31は、データ要求信号drqをデータ制御回路12に出力し、このデータ要求信号drqが図5と図6の（C）に示すように時刻t1で立ち上がると、この立ち上がりの時刻t1に、信号dreq-allに基づいて固定パターン発生回路13からバス21上に出力されている1バイト（8ビット）単位のデータを、エンコーダ31のシフトレジスタ33が取り込む。

【0050】次に、時刻t2において、図5と図6の（F）に示すように信号dreq-allが立ち下がると、この立ち下りの時刻t2に、固定パターン発生回路13からバス21上に次のデータが出力される（図5と図6の（H）参照）。

【0051】その後、時刻t3において、データ要求信号drqが再び立ち上がると、この立ち上がりの時刻t3に固定パターン発生回路13からバス21上に出力されている次のデータを、エンコーダ31のシフトレジスタ33が取り込む。

【0052】このようにして、時刻t2、t4、t6…において、固定パターン発生回路13が出力するバス21上のデータは、時刻t3、t5…においてエンコーダ31のシフトレジスタ33に順次取り込まれていく。

【0053】次に、バッファコントローラ11が、図7（B）に示すように、図4のデータのうちから「c」に該当するデータを、エンコーダ31と第1誤り訂正回路14に転送する場合について説明する。

【0054】この場合には、データ制御回路12は、信号dreq-allの供給をバッファコントローラ11と第1誤り訂正回路14に切り換え、かつスイッチ23の接点を図3の位置とは反対側に切り換える。そして、時刻t2、t4、t6…において、バッファコントローラ11からの書き込み用データがバス21上に出力されると、このバス21上のデータは時刻t3、t5…においてエンコーダ31と第1誤り訂正回路14に順次取り込まれていく。

【0055】次に、第1誤り訂正回路14が、図7（C）に示すように、図4のデータのうちから「e」に該当するデータを、エンコーダ31に転送する場合について説明する。

【0056】この場合には、データ制御回路12は、信号dreq-allの供給を第1誤り訂正回路14に切り換え、スイッチ23の接点を図3の位置に切り換える。そして、時刻t2、t4、t6…において、第1誤り訂正回路14からのデータがバス21に出力されると、このバス21上のデータは時刻t3、t5…においてエンコーダ31のシフトレジスタ33に取り込まれる。

【0057】次に、データの書き込み時におけるバッ

ァコントローラ11が有するバッファ111、112から、エンコーダ31のシフトレジスタ33へのデータの転送動作について、図8を参照して説明する。

【0058】いま、図8(A)に示すように、バッファ111には書き込み用のデータとして8バイト分の格納されて満杯であり、バッファ112には1バイトのデータが格納されており、シフトレジスタ33に1バイト(8ビット)のデータが格納されているものとする。

【0059】この状態でシフトレジスタ33のデータが1ビットずつ読み出されていき、最後の1ビットのデータが残ると、図8(B)に示す状態になる。そして、シフトレジスタ33のデータが全て読み出されると、バッファ112の残りの1バイトのデータがシフトレジスタ33に転送されたのち、バッファ112にバッファ111のデータが全て転送されて、図8(C)に示すような状態になる。

【0060】その後、シフトレジスタ33のデータが1ビット分だけ取り出されると、図8(D)の状態になる。さらに、その残りのデータが1ビットずつ取り出されて行くが、この過程で空の状態のバッファ111に新たなデータが格納され、シフトレジスタ33が最後の1ビットになると、図8(E)の状態になる。

【0061】そして、シフトレジスタ33の最後の1ビットが取り出されると、シフトレジスタ33にはバッファ112の1バイト分のデータがシフトレジスタ33に転送されて、図8(F)の状態になる。

【0062】このような動作により、図3の変調回路31には時系列のデータが供給され、て変調され、この変調されたデータがレーザドライバ6に出力される。

【0063】次に、ディスク2からデータを読み出す場合の各部の動作について、図3～図6、図9および図10を参照して説明する。

【0064】この場合には、図5または図6に示すようなハンドシェイク用の各種の信号が生成され、その信号に基づいてデータの転送が行われるので、データ制御回路12とデコーダ32が生成するハンドシェイク用の信号について説明する。

【0065】図3に示すデコーダ32は、リファレンスクロックclk2に同期するデータ転送信号drqを生成し(図5と図6の(B)(C)参照)、データ制御回路12に出力する。一方、図3に示すデータ制御回路12は、システムクロックclk1に同期する信号readyを生成し(図5と図6の(A)(D)参照)、デコーダ32に出力する。さらに、データ制御回路12は、その信号readyに基づいて中間信号dreqを生成し(図5と図6(E)参照)、この生成した中間信号dreqから信号dreq-allを生成し(図5と図6の(F)参照)、この信号dreq-allを、バッファコントローラ11または第1誤り訂正回路14に出力する。

【0066】次に、このようなハンドシェイク用の各信号に基づき、デコーダ32がバッファコントローラ11と第1誤り訂正回路14にデータを転送する場合の動作について説明する。

【0067】まず、デコーダ32が、図9(A)に示すように、図4のデータのうちから「c」に該当するデータをバッファコントローラ11と第1誤り訂正回路14に転送する場合について説明する。

【0068】この場合には、デコーダ32は、データ転送信号drqをデータ制御回路12に出力し、このデータ転送信号drqが図5と図6の(C)に示すように時刻t1で立ち上がると、この時刻t1に、バッファ36に格納される1バイトのデータをバス22上に出力する(図5と図6の(G)参照)。

【0069】次に、時刻t2において、図5と図6の(F)に示すように、データ制御回路12からバッファコントローラ11と第1誤り訂正回路14に供給されている信号dreq-allが立ち下がると、この立ち下がり時に、そのバス22上に出力されているデータをバッファコントローラ11と第1誤り訂正回路14とがそれぞれ取り込む。

【0070】その後、時刻t3において、データ転送信号drqが再び立ち上がると、この立ち上がりの時刻t3に、バッファ36に格納される1バイトのデータをバス22上に出力する(図5と図6の(G)参照)。

【0071】このようにして、時刻t1、t3、t5…において、バッファ36からデータをバス22上に出力されるデータは、時刻t2、t4、t6…においてバッファコントローラ11と第1誤り訂正回路14にそれぞれ取り込まれる。

【0072】次に、デコーダ32が、図9(B)に示すように、図4のデータのうちから「e」に該当するデータを、第1誤り訂正回路14に転送する場合について説明する。

【0073】この場合には、データ制御回路12は、信号dreq-allの供給を第1誤り訂正回路14のみとする。そして、時刻t1、t3、t5…において、バッファ36からデータがバス22上に出力されると、時刻t2、t4、t6…においてその各データが第1誤り訂正回路14に取り込まれる。

【0074】次に、データの読み出し時において、デコーダ31のバッファ36を構成するレジスタ361、362から、バッファコントローラ11が有するバッファ111、112へのデータの転送動作について、図10を参照して説明する。

【0075】いま、図10(A)に示すように、バッファ111は空の状態であり、バッファ112には7バイト分のデータが格納されており、シフトレジスタ361が空の状態であり、シフトレジスタ362に7ビット分のデータが格納され、図3の復調回路35で復調された

時系列の待機データが4ビットであるとする。

【0076】この状態で、待機データの1ビットがシフトレジスタ362に取り込まれると、このシフトレジスタ362の8ビットのデータはシフトレジスタ361に転送される。さらに、残りの3ビットの待機データがシフトレジスタ362に1ビットずつ取り込まれると、図10(B)に示す状態になる。そして、図10(B)の示す次の待機データがシフトレジスタ362に取り込まれると、シフトレジスタ362は図10(C)の状態になる。この間に、シフトレジスタ361のデータはバッファ112に取り込まれるので、図10(C)に示すように、シフトレジスタ361は空の状態になり、バッファ112は満杯の状態になる。

【0077】その後、図10(C)に示す待機データがシフトレジスタ362に取り込まれて8ビットになると、そのシフトレジスタ362のデータはシフトレジスタ361に転送されて図10(D)の状態になる。この間に、バッファ112のデータはバッファ111に転送されて、バッファ112は図10(D)のように空の状態になる。また、この間に、シフトレジスタ362には新たなデータが取り込まれて、図10(D)の状態になる。

【0078】次に、シフトレジスタ361のデータがバッファ112に転送されると、図10(E)に示すように、バッファ112は1バイト格納された状態になり、シフトレジスタ361は空の状態になる。次に、シフトレジスタ361には、図10(E)で待機するデータが取り込まれて図10(F)の状態となり、バッファ111は格納される8バイトのデータが取り出されて空の状態になる。

【0079】以上説明したように、この実施形態に係るディスク制御装置では、誤り訂正回路を第1誤り訂正回路14と第2誤り訂正回路15とに分割し、第1誤り訂正回路14をシステムクロックclk1で動作させ、第2誤り訂正回路15をリファレンスクロックclk2の周波数に比例するクロックで動作させるようにした。このため、誤り訂正回路における消費電力の増減の幅を小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0080】また、この実施形態に係るディスク制御装置では、第1誤り訂正回路14をシンドローム計算を行う部分とし、この部分は回路規模が大きいので、誤り訂正回路における消費電力の増減の幅を大幅に小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0081】また、この実施形態に係るディスク制御装置では、データの処理速度が異なる要素間のデータの転送を、上記のように所定のハンドシェイクにより行うようにし、ハンドシェイク用の信号はシステムクロックclk1とリファレンスクロックclk2に同期して生成

するようにした。このため、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできる。

【0082】なお、上記の実施形態の説明では、誤り訂正回路を第1誤り訂正回路14と第2誤り訂正回路15とに分割し、このような条件の下で、上記のようなハンドシェイクによりデータの処理速度の異なる要素間でデータの転送を行う場合について説明した。しかし、上記のハンドシェイクによるデータの転送は、誤り訂正回路を2つに分割させずにシステムクロックclk1により動作させる場合にも適用でき、この場合には、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできること勿論である。

【0083】

【発明の効果】以上述べたように、請求項1に係る発明では、誤り訂正手段は、誤り訂正を行う第1誤り訂正手段と第2誤り訂正手段とで少なくとも構成し、符号化／復号化手段と第2誤り訂正手段をディスク駆動装置のデータの読み書きに使用する第2クロックまたはその周波数に比例するクロックで動作させ、第1誤り訂正手段を第2クロックとは無関係な第1クロックで動作させるようにしたので、誤り訂正回路における消費電力の増減の幅を小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0084】また、請求項2に記載の発明に発明では、第1誤り訂正手段をシンドローム計算を行う部分とし、この部分は回路規模が大きいので、誤り訂正回路における消費電力の増減の幅を大幅に小さくして消費電力の低減化が図れ、もって、誤り訂正回路を含めた回路全体の省電力化が図れる。

【0085】請求項3および請求項4に係る各発明では、第1誤り訂正手段、バッファコントローラおよび固定パターン発生回路のうちの少なくとも1つと、符号化／復号化手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行うようにしたので、回路全体の消費電力の低減化が図れる上に、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできる。

【0086】また、請求項5および請求項6に係る各発明では、符号化／復号化手段と誤り訂正手段との間のデータの転送は、バスを介して所定のハンドシェイクにより行うようにしたので、データの処理速度の異なる要素間でデータの転送を行うデータ転送手段の設計が容易で回路規模を小さくできる。

【図面の簡単な説明】

【図1】本発明のディスク制御装置が適用されるディスク装置の実施形態の構成を示す全体のブロック図である。

【図2】誤り訂正回路の分割部分を説明する図である。

【図3】実施形態に係るディスク制御装置の要部の構成を示すブロック図である。

【図4】ディスクに記録されるデータのフォーマットの例を示す図である。

【図5】ハンドシェイクに係る各部の信号のタイムチャートである。

【図6】同じくハンドシェイクに係る各部の信号の他のタイムチャートである。

【図7】データの書き込み時におけるデータの流れを説明する図である。

【図8】データの書き込み時において、バッファコントローラが有するバッファから、エンコーダのシフトレジスタへのデータの転送動作を説明する図である。

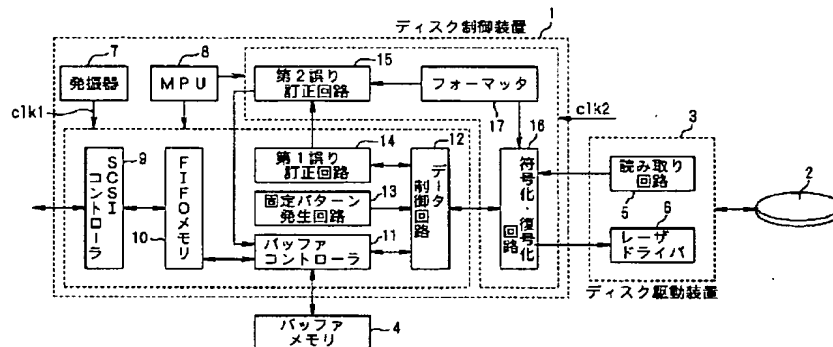
【図9】データの読み出し時におけるデータの流れを説明する図である。

【図10】データの読み出し時において、デコーダのシフトレジスタからバッファコントローラが有するバッファへのデータの転送動作を説明する図である。

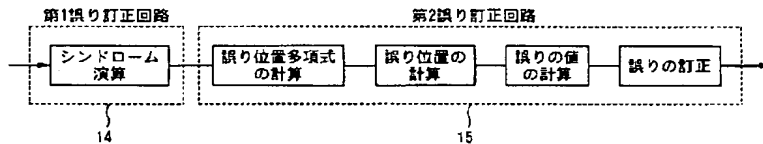
【符号の説明】

- 1 ディスク制御装置
- 2 ディスク
- 3 ディスク駆動装置
- 4 バッファメモリ
- 7 発振器
- 8 MPU
- 9 SCSIコントローラ
- 10 FIFOメモリ
- 11 バッファコントローラ
- 12 データ制御回路
- 13 固定パターン発生回路
- 14 第1誤り訂正回路
- 15 第2誤り訂正回路
- 16 符号化・復号化回路
- 31 エンコーダ
- 32 デコーダ

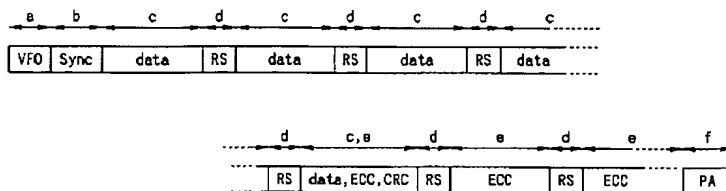
【図1】



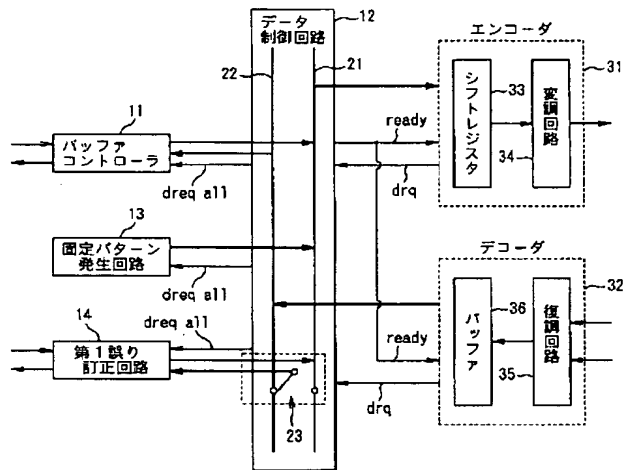
【図2】



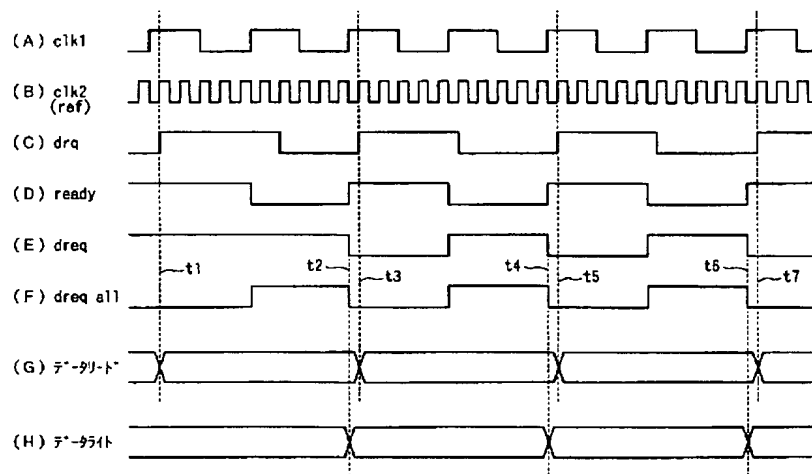
【図4】



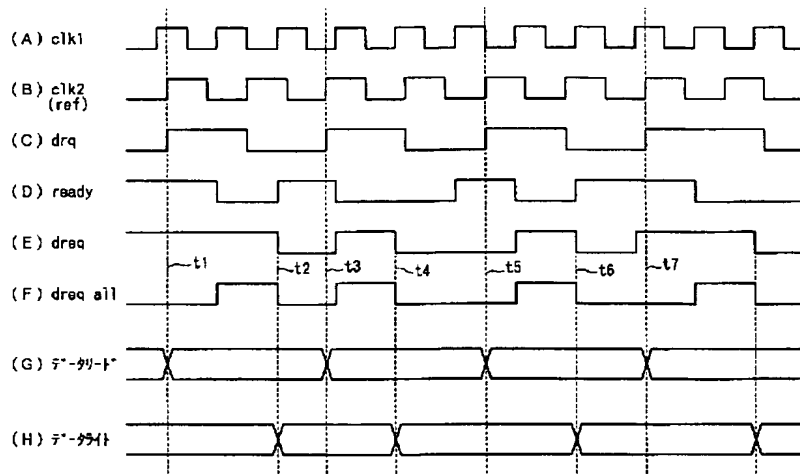
【図3】



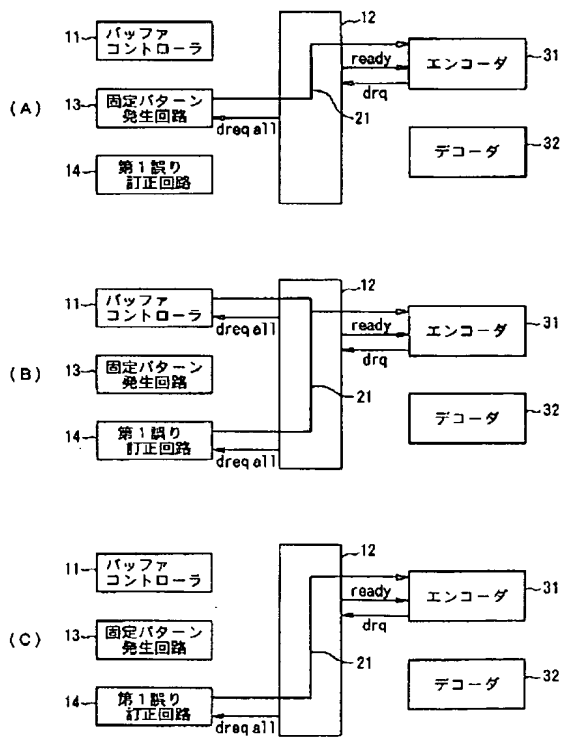
【図5】



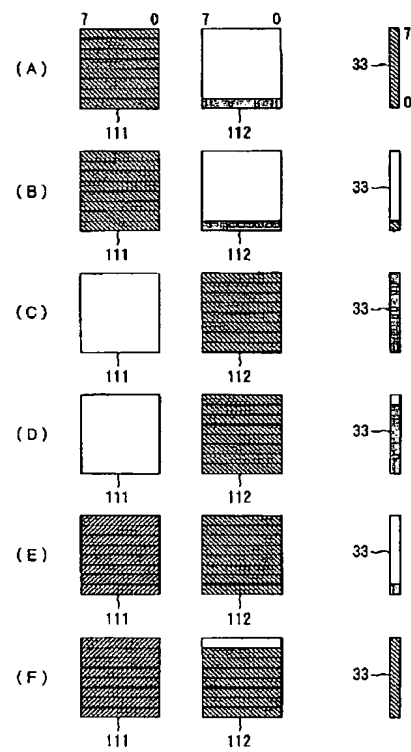
【図6】



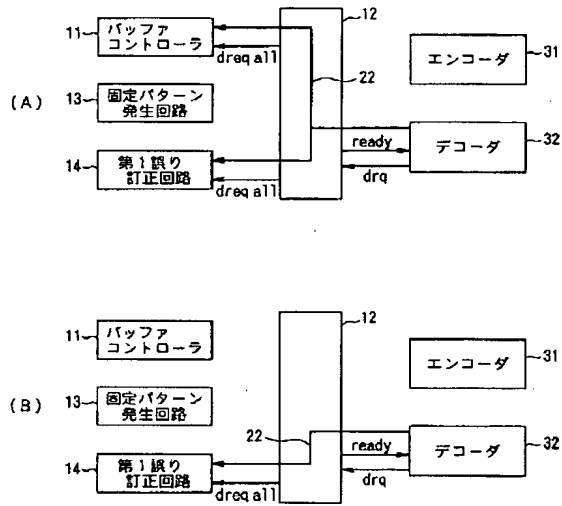
【図7】



【図8】



【図9】



【図10】

